



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0042153

Application Number

출 원 년 월 일 : 2002년 07월 18일

Date of Application JUL 18, 2002

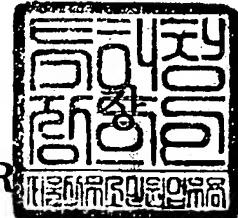
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002.07.18
【발명의 명칭】	반도체 메모리 소자의 제조 방법
【발명의 영문명칭】	Method for manufacturing a semiconductor memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK, Noh Yea l
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 104-1501
【국적】	KR
【발명자】	
【성명의 국문표기】	양홍선
【성명의 영문표기】	YANG, Hong Seon
【주민등록번호】	580502-1094015
【우편번호】	449-755
【주소】	경기도 용인시 수지읍 죽전리 벽산4차아파트 403-308
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)

1020020042153

출력 일자: 2003/4/17

【수수료】

【기본출원료】 19 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 490,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 메모리 소자의 제조 방법에 관한 것으로, 반도체 기판의 소정 깊이에 이온주입층을 형성하여 웨이퍼 이온 주입 시 반도체 기판의 표면부에 게터링된 도편트의 하부확산이 방지되도록 한다. 반도체 기판의 표면부에 게터링된 도편트는 낮은 온도에서도 쉽게 확산되며, 버리드 채널에서 카운터 도핑(Counter doping)의 원인으로 작용할 수 있는데, 후속 열처리 과정에서 이러한 도편트의 거동이 억제되도록 하므로써 문턱 전압 조절용 이온의 농도가 균일하게 유지된다. 따라서 안정된 문턱전압 특성을 갖는 신뢰성 높은 소자를 제조할 수 있으며, 디자인 룰의 감소에 따른 소자의 제조에도 탄력적으로 적용이 가능하다.

【대표도】

도 3c

【색인어】

불활성 이온, 급속 열처리, 이온주입층, 문턱전압, 확산

【명세서】

【발명의 명칭】

반도체 메모리 소자의 제조 방법 {Method for manufacturing a semiconductor memory device}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 반도체 메모리 소자의 문턱전압을 측정한 그래프도.

도 2는 웨이퍼 전체영역에서 문턱전압을 측정한 그래프도.

도 3a 내지 도 3h는 본 발명을 설명하기 위한 소자의 단면도.

도 4는 본 발명을 설명하기 위한 그래프도.

<도면의 주요 부분에 대한 부호의 설명>

1: 반도체 기판 2: 패드 산화막

3: 패드 질화막 4: 트렌치

5: 소자분리막 6: 스크린 산화막

7: 삼중 N웰 8: N웰

9: 이온주입층 10: 터널산화막

11: 플로팅 게이트 12: 유전체막

13 및 15: 폴리실리콘층 14: 게이트 산화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 메모리 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 플래쉬 메모리 소자의 문턱전압을 안정적으로 유지할 수 있도록 한 반도체 메모리 소자의 제조 방법에 관한 것이다.

<14> 일반적으로 플래쉬 메모리 소자는 데이터를 저장하기 위한 메모리 셀 어레이와, 메모리 셀 어레이에 데이터를 저장하거나 저장된 데이터를 독출하기 위한 주변회로로 이루어진다. 메모리 셀 지역에 형성되는 각각의 메모리 셀은 터널산화막, 플로팅 게이트, 유전체막 및 콘트롤 게이트가 적층된 구조의 게이트와, 게이트 양측부의 기판에 형성된 소오스 및 드레인으로 이루어지며, 플로팅 게이트로 전자(Hot electron)가 주입(Injection)됨에 따라 프로그램되고, 주입된 전자가 방전(Discharge)됨에 따라 소거된다.

<15> 상기와 같이 이루어진 플래쉬 메모리 셀의 데이터 보존능력은 플로팅 게이트와 콘트롤 게이트 사이에 형성되는 유전체막의 유전률에 의해 결정된다. 따라서 높은 유전률을 얻기 위해 높은 온도에서 증착 공정을 진행하여 밀도가 높은 유전체막이 형성되도록 한다. 그러나 이와 같이 고온에서 공정을 진행함으로써 소자의 특성에 관한 여러가지의 문제점이 발생된다. 특히, 트랜지스터의 문턱전압이 변동되어 소자의 신뢰성에 영향을 미친다.

<16> P형 기판을 사용하는 일반적인 CMOS 소자는 각기 다른 도편트가 주입된 웰을 구비하며, 각각의 웰에 형성되는 NMOS 및 PMOS 트랜지스터의 채널영역에는 문턱전압 조절을 위해 P형의 도편트가 주입된다. 그러나 PMOS 트랜지스터의 경우 제조 과정에서 여러 단계의 고온 열처리를 거치기 때문에 소오스 및 드레인에 주입된 도편트의 확산(Transient Enhanced Diffusion; TED)에 의해 버리드 채널(Buried Channel)에서의 공핍증이 증가되어 문턱전압이 낮아지는 현상이 발생된다. 이러한 문턱전압의 감소는 웨이퍼 전체 영역에서 불균일하게 나타나며, 문턱전압의 안정화를 위해서는 접합의 깊이를 더욱 얕게 해야 하는 어려움이 있다.

<17> 종래에는 패드 산화막과 패드 질화막을 마스크로 이용하여 기판에 미세한 크기의 트렌치를 형성하고, 그 내부에 소자분리막을 형성한다. CMOS 소자를 형성하기 위해 웰을 형성한 후 각각의 영역에 형성될 트랜지스터의 문턱전압을 조절하기 위해 P형의 문턱전압 조절용 이온을 주입한다. 이때, NMOS 트랜지스터의 경우에는 B11 이온을 주입하며, 버리드 채널을 갖는 PMOS 트랜지스터의 경우에는 채널 깊이를 얕게 하기 위해 BF2를 주입한다. 이후 메모리 셀 지역 및 주변회로 지역의 반도체 기판 상에 터널산화막 및 폴리실리콘층을 형성하고 저압화학기상증착(LPCVD)법으로 산화막/질화막/산화막으로 이루어지는 ONO 구조의 유전체막을 형성한다. 메모리 셀 지역에 마스크를 형성한 후 노출된 주변회로 지역의 유전체막, 폴리실리콘층 및 터널산화막을 제거하고, 주변회로 지역의 반도체 기판 상에 고전압용 트랜지스터 및 저전압용 트랜지스터의 게이트를 형성하기 위해 게이트 산화막과 폴리실리콘층을 형성한다. 이후 일반적인 플래쉬 메모리 소자의 제조 공정에 따라 후속 공정을 진행한다.

<18> 그런데 상기와 같은 종래의 제조 방법을 이용하면 문턱전압을 조절하기 위해 주입한 P형의 도편트가 후속 열처리 과정에서 확산(TED)되기 때문에 채널영역에서의 이온의 농도가 감소되고, 이에 따라 문턱전압의 변동이 발생된다. 도 1a는 고온의 열처리 단계가 비교적 적은 에스램(SRAM) 소자의 문턱전압 측정 결과이고, 도 1b는 고온의 열처리 단계가 많은 플래쉬 메모리 소자의 문턱전압 측정 결과로서, 에스램(SRAM)의 경우 패턴이 큰 경우(선A)와 실제 크기(선 B)에서 모두 문턱전압의 변동이 적게 나타난 반면, 플래쉬 메모리 소자의 경우 도 2와 같이 웨이퍼 전체 영역에서의 문턱전압 분포도 불균일하게 나타났다.

<19> 이와 같은 문턱전압의 변동과 불균일한 분포는 소자의 신뢰성에 많은 영향을 미치며, 특히, 안정된 전기적 특성을 갖는 트랜지스터의 구현을 어렵게 만든다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서 본 발명은 반도체 기판의 소정 깊이에 이온주입층을 형성하여 웰 이온 주입 시 반도체 기판의 표면부에 게터링된 도편트의 하부확산이 방지되도록 하므로써 상기한 단점을 해소할 수 있는 반도체 메모리 소자의 제조 방법을 제공하는 데 그 목적이 있다.

<21> 상기한 목적을 달성하기 위한 본 발명은 반도체 기판의 소자분리 영역에 트렌치를 형성한 후 상기 트렌치 내에 소자분리막을 형성하는 단계와, 상기 반도체 기판 상에 스크린 산화막을 형성한 후 소정의 마스크를 이용한 이온주입공정을 통해 삼중 구조의 웰을 형성하는 단계와, 상기 스크린 산화막을 제거한 후 전체 상부면에 터널산화막 및 제1 폴리실리콘층을 형성하고 패터닝하여 메모리 셀 지역의 상기 반도체 기판 상에 플로팅 게이트를 형성하는 단계와, 전체 상부면에 유전체막 및 제2 폴리실리콘층을 형성한 후

패터닝하여 상기 메모리 셀 지역의 반도체 기판 상에 콘트롤 게이트를 형성하는 단계와, 주변회로 지역의 노출된 상기 반도체 기판에 문턱전압 조절용 이온을 주입하는 단계와, 상기 주변회로 지역의 반도체 기판 상에 게이트 산화막 및 제 3 폴리실리콘층을 형성한 후 패터닝하여 트랜지스터의 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

<22> 상기 삼중 구조의 웨爾을 형성하는 단계로부터 상기 반도체 기판의 소정 깊이에 불활성 이온을 주입한 후 금속 열처리하여 이온주입층을 형성하는 단계를 더 포함하는 것을 특징으로 하고, 상기 불활성 이온은 질소(N_2)이며, 30 내지 100KeV의 에너지 및 1E13 내지 5E14 ion/cm²의 도즈량으로 주입되고, 상기 금속 열처리는 900 내지 1100°C의 온도 및 질소(N_2) 분위기에서 5 내지 30초동안 실시되는 것을 특징으로 한다.

<23> 상기 문턱전압 조절용 이온은 BF2이며, 10 내지 50KeV의 에너지 및 1E11 내지 1E14 ion/cm²의 도즈량으로 주입되는 것을 특징으로 한다.

【발명의 구성 및 작용】

<24> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

<25> 도 3a 내지 도 3h는 본 발명에 따른 플래쉬 메모리 소자의 제조 방법을 설명하기 위한 소자의 단면도이다.

<26> 도 3a를 참조하면, 메모리 셀 지역 및 주변회로 지역의 반도체 기판(1) 상에 패드 산화막(2) 및 패드 질화막(3)을 순차적으로 형성한 후 소자분리 마스크를 사용하여 패드 패팅하고, 노출된 부분의 반도체 기판(1)을 소정 깊이 식각하여 미세 크기의 트렌치(4)를 형성한다.

<27> 도 3b를 참조하면, 상기 트렌치(4)가 매립되도록 전체 상부면에 산화막을 형성한 후 평탄화하고, 잔류된 패드 질화막(3) 및 패드 산화막(2)을 제거하여 상기 트렌치(4) 내에 소자분리막(5)이 형성되도록 한다. 이후 PMOS 트랜지스터가 형성될 지역에 삼중 구조의 웰을 형성하기 위해 상기 반도체 기판(1) 상에 스크린 산화막(6)을 형성하고 소정의 마스크를 이용한 이온주입 공정을 실시하여 삼중 N웰(7) 및 N웰(8)을 형성한다. 이때, 일정량 이상의 도편트(P31)가 도 4에 도시된 바와 같이 반도체 기판(1)의 표면부에 게터링되는데, C 부분과 같이 게터링되는 이온의 양이 많기 때문에 문턱전압 조절용 이온(BF2) 주입시 카운터 도핑(Counter doping)의 원인으로 작용할 수 있다.

<28> 상기 삼중 N웰(7)은 5E12 내지 5E13 ion/cm² 도즈량의 P31을 1000 내지 2000KeV의 에너지로 주입하여 형성하며, 상기 N웰(8)은 5E12 내지 5E13 ion/cm² 도즈량의 P31을 500 내지 1000KeV의 에너지로 주입하여 형성한다. 이때, 도편트의 채널링(Channeling)이 방지되도록 3 내지 10°의 경사각으로 주입한다.

<29> 도 3c를 참조하면, 상기 반도체 기판(1)의 소정 깊이에 불활성 이온을 주입한 후 상기 웰(7 및 8)에 주입된 이온을 활성화시키며 상기 불활성 이온의 거동이 억제되도록 급속 열처리하므로써 상기 반도체 기판(1)의 소정 깊이에 불활성 이온이 주입된 이온주입층(9)이 형성된다. 상기 이온 주입층(9)은 후속 열처리 과정에서 상기 반도체 기판(1) 표면부에 게터링된 도편트(P31)가 하부로 확산되는 것을 막는 확산방지층 역할을 하게 된다.

<30> 상기 불활성 이온으로는 질소(N₂)를 사용하며, 반도체 기판(1)의 표면부에 게터링 된 도편트(P31)의 하부에 주입되도록 30 내지 100KeV의 에너지로 주입한다. 이때, 도즈

량은 반도체 기판(1)이 비정질화되지 않도록 $1E13$ 내지 $5E14$ ion/cm²으로 조절하고, 도편 트의 채널링이 방지되도록 3 내지 10°의 경사각으로 주입한다.

<31> 상기 급속 열처리는 900 내지 1100°C의 온도 및 질소(N₂) 분위기에서 5 내지 30초 동안 실시하며, 램프업(Lamp up) 비율은 50 내지 100°C/sec로 조절한다.

<32> 도 3d를 참조하면, 상기 스크린 산화막(6)을 제거한 후 상기 반도체 기판(1) 상에 터널산화막(10) 및 폴리실리콘층(11)을 순차적으로 형성하고 패터닝하여 상기 메모리 셀 지역의 반도체 기판(1) 상에 플로팅 게이트(11)를 형성한다. 이때, 주변회로 지역의 터널산화막(10) 및 폴리실리콘층(11)은 상기 플로팅 게이트(11)를 형성하기 위한 패터닝 과정에서 제거된다.

<33> 상기 터널산화막(10)을 형성하기 전에 묽은 HF 및 SC-1 용액을 이용하여 반도체 기판(1)의 표면을 세정한 후 750 내지 800°C 온도에서 수소(H₂) 및 산소(O₂)를 이용한 습식산화공정으로 터널산화막(10)을 형성한다. 그리고 510 내지 550°C 온도 및 0.1 내지 3.0Torr의 압력 조건에서 SiH₄ 또는 Si₂H₆와 같은 실리콘 소오스 가스와 POCl₃ 또는 PH₃ 가스를 이용한 저압화학기상증착(LPCVD)법으로 도프트(Doped) 폴리실리콘을 700Å 이상의 두께로 증착하여 폴리실리콘층(11)을 형성한다.

<34> 도 3e 및 도 3f를 참조하면, 전체 상부면에 하부 산화막/질화막/상부 산화막으로 이루어진 ONO 구조의 유전체막(12)과 콘트롤 게이트로 사용될 폴리실리콘층(13)을 순차적으로 형성한다. 상기 유전체막(12)은 높은 밀도를 갖도록 하기 위해 고온에서 형성한다. 도 3e는 메모리 셀 지역을 도시하며, 도 3f는 주변회로 지역을 도시한다.

<35> 상기 하부 산화막 및 상부 산화막은 810 내지 850°C의 온도 및 1 내지 3Torr 이하의 낮은 압력 조건에서 DCS(SiH_2Cl_2) 및 N_2O (또는 NO) 가스를 소오스로 이용한 저압화학기상증착(LPCVD)법으로 형성하고, 상기 질화막은 810 내지 850°C의 온도 및 1 내지 3Torr 이하의 낮은 압력 조건에서 Si_3N_4 와 N_2O (또는 NO) 가스를 소오스로 이용한 저압화학기상증착(LPCVD)법으로 형성한다.

<36> 상기 폴리실리콘층(13)은 530 내지 550°C 온도 및 1Torr 이하의 압력 조건에서 SiH_4 또는 Si_2H_6 와 같은 실리콘 소오스 가스와 PH_3 가스를 이용한 저압화학기상증착(LPCVD)법으로 형성한다.

<37> 또 3g를 참조하면, 메모리 셀 지역에 마스크를 형성하고 노출된 주변회로 지역의 유전체막(12)과 폴리실리콘층(13)을 제거한다. 이후 버리드 채널을 형성하기 위해 PMOS 트랜지스터가 형성될 주변회로 지역의 반도체 기판(1)에 문턱전압(V_t) 조절용 이온을 얹게 주입한다.

<38> 문턱전압(V_t) 조절용 이온으로는 P형 도편트로서 질량이 큰 BF_2 를 사용하며, 10 내지 50KeV의 에너지 및 1E11 내지 1E14 ion/ cm^2 의 도즈량으로 주입하되, 도편트의 채널링이 방지되도록 3 내지 10°의 경사각으로 주입한다.

<39> 도 3h는 주변회로 지역에 고전압용 트랜지스터 및 저전압용 트랜지스터를 형성하기 위해 도 3g의 상태에서 상기 반도체 기판(1) 상에 게이트 산화막(14) 및 폴리실리콘층(15)을 순차적으로 형성하고, 게이트 마스크를 이용한 사진 및 식각 공정으로 상기 폴리실리콘층(15) 및 게이트 산화막(14)을 패터닝하여 트랜지스터의 게이트 전극을

형성한다. 이때, 고전압용 트랜지스터 및 저전압용 트랜지스터의 게이트 산화막(14) 두
께는 다르게 형성된다.

<40> 이후, 일반적인 플래쉬 메모리 소자의 제조 공정에 따라 후속 공정을 진행한다.

【발명의 효과】

<41> 상술한 바와 같이 본 발명은 반도체 기판의 소정 깊이에 이온주입층을 형성하여 웨
이온 주입 시 반도체 기판의 표면부에 게터링된 도편트(P31)의 하부확산이 방지되도록
한다. 반도체 기판의 표면부에 게터링된 도편트(P31)는 낮은 온도에서도 쉽게 확산(TED)
되며, 버리드 채널에서 카운터 도핑의 원인으로 작용할 수 있는데, 후속 열처리 과정에
서 이러한 도편트(P31)의 거동이 억제되도록 하므로써 문턱전압 조절용 이온의 농도가
균일하게 유지된다. 따라서 안정된 문턱전압 특성을 갖는 신뢰성 높은 소자를 제조할 수
있으며, 디자인 룰의 감소에 따른 소자의 제조에도 탄력적으로 적용이 가능하다.

【특허청구범위】**【청구항 1】**

반도체 기판의 소자분리 영역에 트렌치를 형성한 후 상기 트렌치 내에 소자분리막을 형성하는 단계와,

상기 반도체 기판 상에 스크린 산화막을 형성한 후 소정의 마스크를 이용한 이온 주입공정을 통해 삼중 구조의 웨爾을 형성하는 단계와,

상기 스크린 산화막을 제거한 후 전체 상부면에 터널산화막 및 제 1 폴리실리콘층을 형성하고 패터닝하여 메모리 셀 지역의 상기 반도체 기판 상에 플로팅 게이트를 형성하는 단계와,

전체 상부면에 유전체막 및 제 2 폴리실리콘층을 형성한 후 패터닝하여 상기 메모리 셀 지역의 반도체 기판 상에 콘트롤 게이트를 형성하는 단계와,

주변회로 지역의 노출된 상기 반도체 기판에 문턱전압 조절용 이온을 주입하는 단계와,

상기 주변회로 지역의 반도체 기판 상에 게이트 산화막 및 제 3 폴리실리콘층을 형성한 후 패터닝하여 트랜지스터의 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 삼중 구조의 웨爾은 삼중 N웨爾과 상기 삼중 N웨爾 내에 형성된 N웨로 이루어진 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 3】

제 2 항에 있어서, 상기 삼중 N웰은 5E12 내지 5E13 ion/cm² 도즈량의 P31을 1000 내지 2000KeV의 에너지로 주입하여 형성하며, 상기 N웰은 5E12 내지 5E13 ion/cm² 도즈량의 P31을 500 내지 1000KeV의 에너지로 주입하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 4】

제 1 항에 있어서, 상기 삼중 구조의 웰을 형성하는 단계로부터 상기 반도체 기판의 소정 깊이에 불활성 이온을 주입한 후 급속 열처리하여 이온주입층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 5】

제 4 항에 있어서, 상기 불활성 이온은 질소(N₂)이며, 30 내지 100KeV의 에너지 및 1E13 내지 5E14 ion/cm²의 도즈량으로 주입되는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 6】

제 4 항에 있어서, 상기 급속 열처리는 900 내지 1100°C의 온도 및 질소(N₂) 분위기에서 5 내지 30초동안 실시되는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 7】

제 1 항에 있어서, 상기 터널산화막을 형성하기 전에 묽은 HF 및 SC-1 용액을 이용하여 상기 반도체 기판의 표면을 세정하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 8】

제 1 항에 있어서, 상기 터널산화막은 750 내지 800°C 온도에서 수소(H₂) 및 산소(O₂)를 이용한 습식 산화공정으로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 9】

제 1 항에 있어서, 상기 제 1 폴리실리콘층은 510 내지 550°C 온도 및 0.1 내지 3.0Torr의 압력 조건에서 SiH₄ 또는 Si₂H₆와 같은 실리콘 소오스 가스와 POC₃ 또는 PH₃ 가스를 이용한 저압화학기상증착법으로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 10】

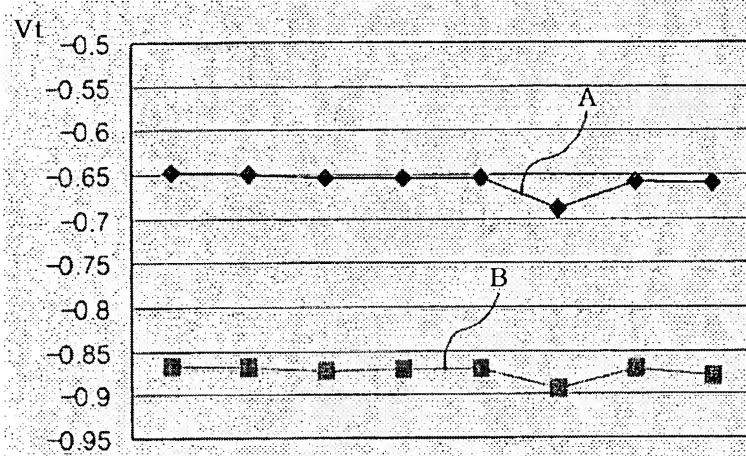
제 1 항에 있어서, 상기 제 2 폴리실리콘층은 530 내지 550°C 온도 및 1Torr 이하의 압력 조건에서 SiH₄ 또는 Si₂H₆와 같은 실리콘 소오스 가스와 PH₃ 가스를 이용한 저압화학기상증착법으로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 11】

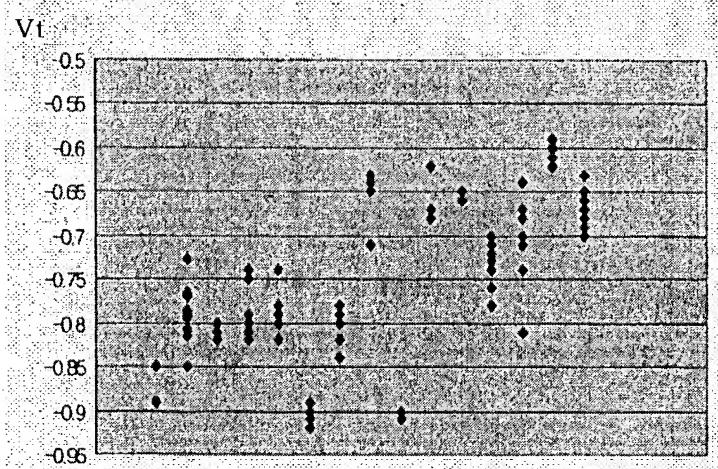
제 1 항에 있어서, 상기 문턱전압 조절용 이온은 BF₂이며, 10 내지 50KeV의 에너지 및 1E11 내지 1E14 ion/cm²의 도즈량으로 주입되는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【도면】

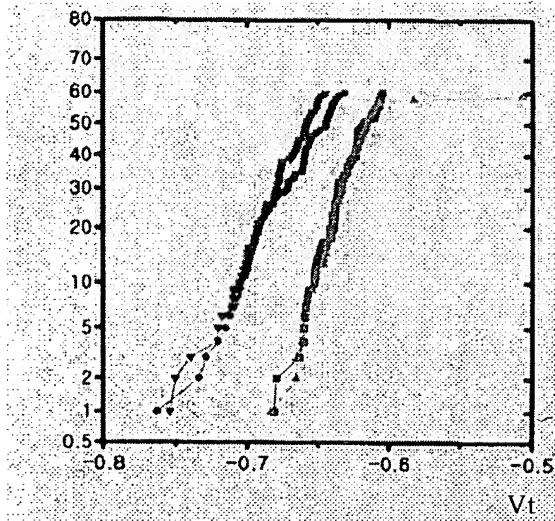
【도 1a】



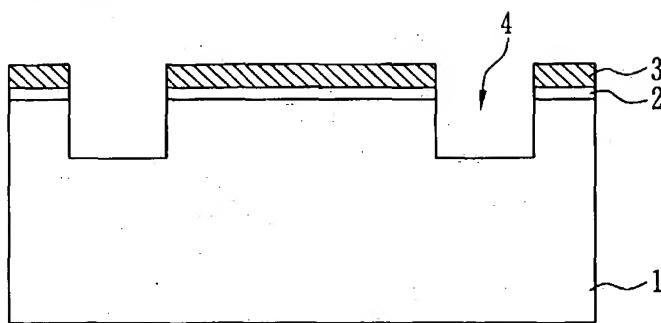
【도 1b】



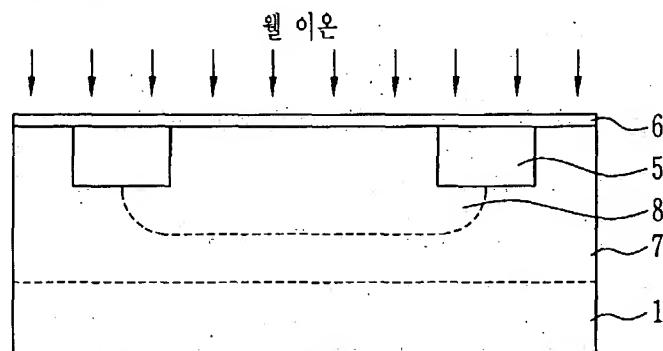
【도 2】



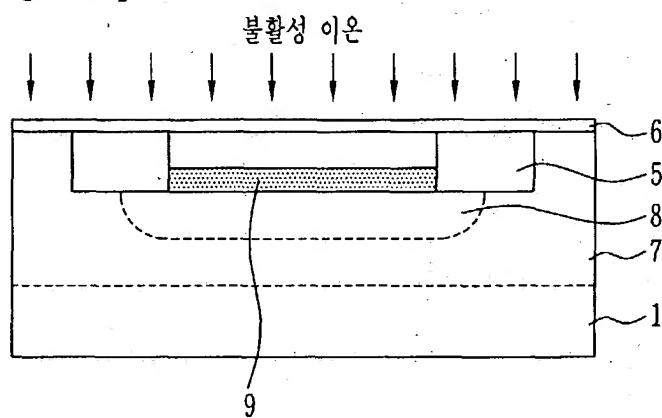
【도 3a】



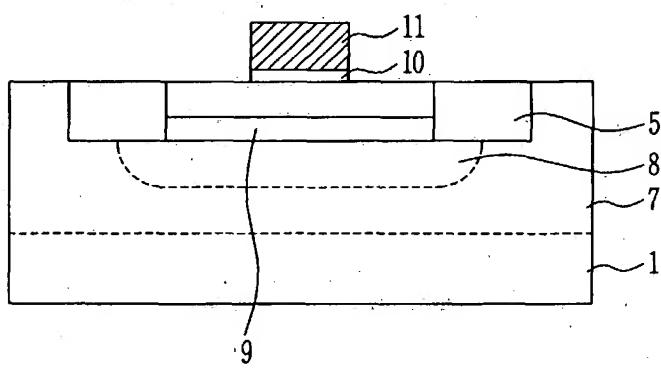
【도 3b】



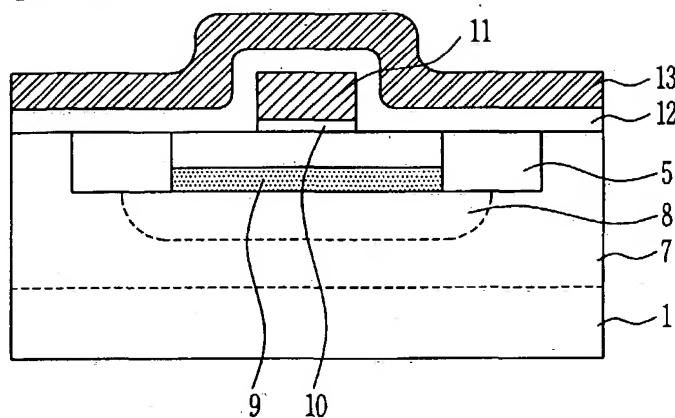
【도 3c】



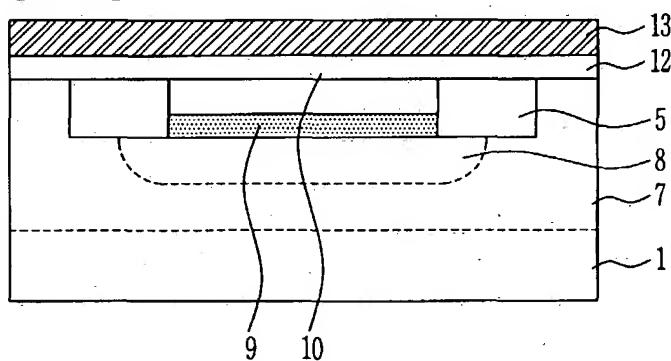
【도 3d】



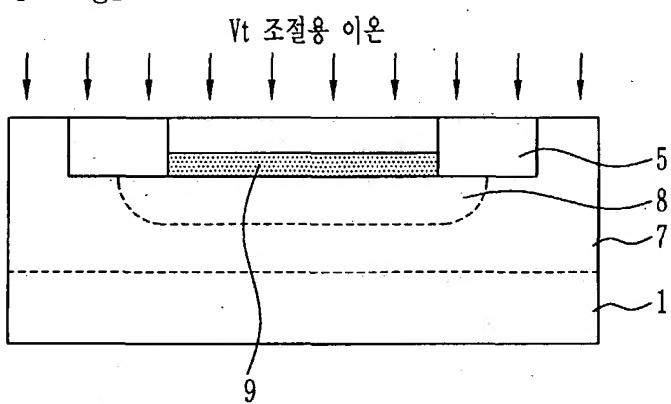
【도 3e】



【도 3f】



【도 3g】

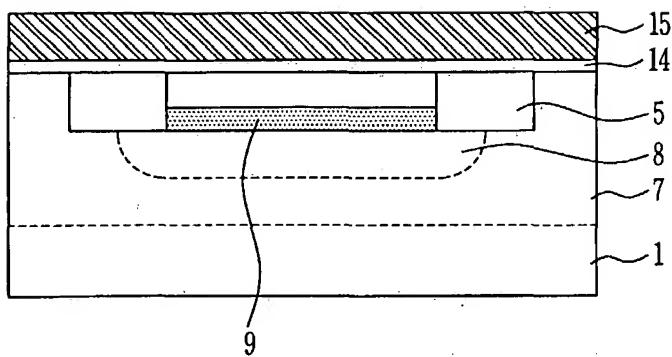




1020020042153

출력 일자: 2003/4/17

【도 3h】



【도 4】

